

doi: 10.3969/j.issn.0490-6756.2017.03.021

# 环栅肖特基势垒 MOSFET 解析电流模型

许立军<sup>1</sup>, 张鹤鸣<sup>1</sup>, 杨晋勇<sup>2</sup>

(1. 西安电子科技大学微电子学院宽禁带半导体材料与器件重点实验室, 西安 710071;

2. 北京精密机电控制设备研究所, 北京 100076)

**摘要:** 肖特基势垒金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)的电流一般需要通过载流子的费米狄拉克分布对能量积分来计算或自洽迭代数值计算,为降低其复杂性,本文采用若干拟合参数,考虑镜像力势垒降低效应、偶极子势垒降低效应和小尺寸下量子化效应对肖特基势垒高度的影响,给出了环栅肖特基势垒 MOSFET 一种新的解析电流模型。所提出的电流模型与文献报道实验数据符合较好,验证了模型的正确性,对环栅肖特基势垒 MOSFET 器件以及电路设计提供了一定的参考价值。

**关键词:** 金属氧化物半导体场效应晶体管; 解析电流模型; 拟合; 肖特基势垒; 环栅  
**中图分类号:** TN432.1      **文献标识码:** A      **文章编号:** 0490-6756(2017)03-0553-04

## An analytical drain current model for surrounding-gate schottky barrier MOSFET

XU Li-Jun<sup>1</sup>, ZHANG He-Ming<sup>1</sup>, YANG Jin-Yong<sup>2</sup>

(1. Key laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China; 2. Beijing Research Institute of Precise Mechatronic Controls, Beijing 100076, China)

**Abstract:** The current of Schottky barrier metal-oxide-semiconductor field-effect transistor (MOSFET) is popularly calculated through the integration of Fermi-Dirac distribution for carrier over energy or self consistent iterative numerical calculation. In order to reduce the calculation complexity, this paper presents a new analytical drain current model for surrounding-gate Schottky barrier MOSFET through adopting several fitting parameters which takes into account for the impact on the Schottky barrier height of image force barrier lowering effect, dipole barrier lowering effect and quantum effect at smaller size. The proposed drain current model is in good agreement with the reported experimental data in the literature, which verifies the correctness of the model and can provide some reference for the design of surrounding-gate Schottky barrier MOSFET device and circuit.

**Keywords:** Metal-oxide-semiconductor field-effect transistor; Analytical drain current model; Fit; Schottky barrier; Surrounding-gate

## 1 引言

随着尺寸的不断缩小,传统 MOSFET 将不可

避免的遭遇瓶颈,改进结构成为了延续小尺寸 MOSFET 的关键。有三种改进结构在多年来发展下被认为比较有潜力,分别是绝缘衬底上的硅

(Silicon-On-Insulator, SOI)、多栅极和采用肖特基势垒做源漏结构, 其中 SOI、多栅极 MOSFET 研究较多, 而对肖特基势垒 MOSFET 的研究则相对较少. 将多栅极中的环栅结构和肖特基源漏结构结合起来形成的环栅肖特基势垒 MOSFET<sup>[1]</sup> 是最具潜力的纳米 MOSFET 器件之一, 但对其理论模型研究极少.

对肖特基势垒 MOSFET 的电流电压特性的研究主要有两种方法, 一种是基于肖特基势垒 MOSFET 电流机理的解析模型<sup>[2,3]</sup>, 另一种是数值模型, 采用蒙特卡罗<sup>[4]</sup>或非平衡格林函数法<sup>[5]</sup>自洽迭代计算. 后者计算量过于庞大, 在本文中不作研究. Zhu G J 等<sup>[2]</sup>从高斯定理出发推导了环栅肖特基势垒 MOSFET 的解析电流模型, 考虑了镜像力势垒降低效应对源端肖特基势垒高度的影响, 但忽略了偶极子势垒降低效应<sup>[6]</sup>和小尺寸下量子化效应<sup>[7]</sup>的影响, 同时需要求解积分上下限带拟合参数的载流子费米狄拉克分布对能量的积分, 计算过程过于复杂. Balaguer M 等<sup>[3]</sup>在源端电子热发射/隧穿电流机理上考虑了漏端空穴电流, 采用若干拟合参数与仿真数据进行校对, 得出了长沟道双栅肖特基势垒 MOSFET 的解析电流模型, 但忽略了镜像力势垒降低效应、偶极子势垒降低效应和量子化效应对肖特基势垒高度的影响.

为此, 本文在文献<sup>[3]</sup>基础上, 把长沟道双栅肖特基势垒 MOSFET 的解析电流模型扩展到亚 100nm 短沟道环栅肖特基势垒 MOSFET, 并通过引入相关拟合参数考虑上述三种效应对肖特基势垒高度的影响, 建立了环栅肖特基势垒 MOSFET 较为全面的解析电流模型. 将提出的模型与文献<sup>[11]</sup>报道的实验数据进行比较, 模型与实验数据符合较好, 验证了其正确性.

## 2 模型建立

图 1 表示一个采用肖特基势垒做源漏的 N 型环栅肖特基势垒 MOSFET 结构.  $R$  是硅柱半径,  $L$  是硅柱沟道的长度,  $t_{ox}$  是栅氧层厚度, 采用二氧化硅做介质,  $N_A$  是硅柱掺杂浓度.

在不同偏压下器件的各个工作区域能带变化图如图 2 所示,  $V_{gs}$  是栅源电压,  $V_{ds}$  为漏源电压, 对 N 型 MOSFET 来说  $V_{ds}$  总是为正. (a) 中负  $V_{gs}$  下, 沟道表面形成积累区, 能带向上弯曲, 漏极空穴势垒变薄, 电流主要由来自漏极的空穴隧穿以

及来自源极的电子热发射电流组成; (b) 中正  $V_{gs}$  下, 沟道表面开始耗尽乃至反型, 能带向下弯曲, 源极电子势垒变薄, 开始发生电子隧穿, 电流主要由来自源极的电子隧穿和热发射电流以及来自漏极的空穴隧穿电流组成.

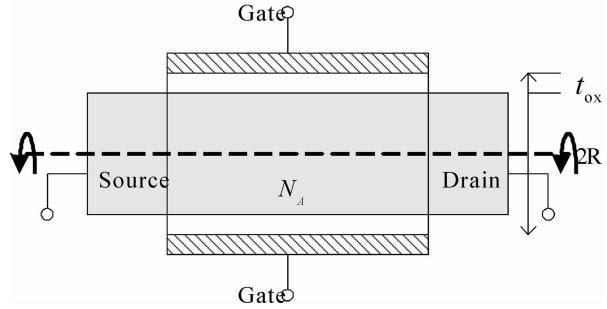


图 1 环栅肖特基势垒 MOSFET 结构  
Fig. 1 The structure of surrounding-gate Schottky barrier MOSFET

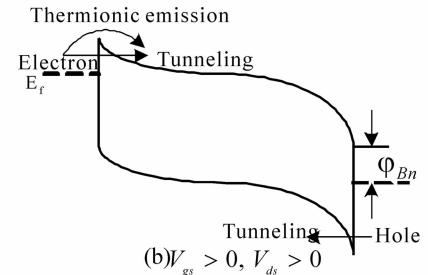
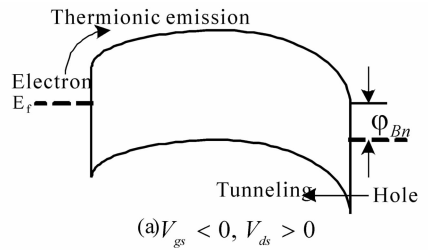


图 2 不同偏置电压下能带变化图  
Fig. 2 The variations of energy band diagram at different bias voltages

$$\varphi_{sBneff} = \varphi_{Bn} - \Delta\varphi_{si/fBL} - \Delta\varphi_{si/BL} + \Delta\varphi_Q \quad (1)$$

这里,  $\varphi_{sBneff}$  是源极电子有效肖特基势垒高度,  $\varphi_{Bn}$  是电子的本征肖特基势垒高度, 分别考虑镜像力势垒、偶极子势垒降低效应和量子化效应对  $\varphi_{Bn}$  的影响. 器件正常工作时源极肖特基结反偏, 故对源极的  $\varphi_{Bn}$  需要考虑镜像力势垒降低效应, 即  $\Delta\varphi_{si/fBL} = q\sqrt{\frac{q|E_{ms}|}{4\pi\epsilon_{si}}}$ ,  $q$  是电子电量,  $E_{ms} = C_1V_{ds} + C_2V_{gs} + C_3$  为源极肖特基结和沟道接触面的电场<sup>[8]</sup>,  $C_1$ 、 $C_2$  和  $C_3$  是拟合电场的参数,  $\epsilon_{si}$  是硅的介电常数;  $\Delta$

$\bar{\omega}_{slBL} = \left( \frac{3q\hbar (In2)}{4\sqrt{2m_n^*}} \right)^{2/3} |E_{mdl}|$  是偶极子势垒降低效应导致的  $\varphi_{Bn}$  降低<sup>[6]</sup>,  $\hbar$  是约化普朗克常量,  $m_n^*$  是电子在硅中的有效质量;  $\Delta\bar{\omega}_Q \approx \frac{3\pi^2\hbar^2}{4m_n^*R^2}$  是小尺寸下量子化效应导致的  $\varphi_{Bn}$  提升<sup>[7,9]</sup>.

源端电子热发射/隧穿电流可表示为<sup>[3]</sup>

$$I_{TETN-n} = \frac{\pi R^2 A_n^* T^2 \exp\left(\frac{-\bar{\omega}_{Bneff}}{E_{00}}\right) \left[ \exp\left(\frac{qV_{ds}}{nkT}\right) - 1 \right]}{2\pi R} \quad (2)$$

$$E_{00} = \alpha(\bar{\omega}_{Bneff}) \frac{q\hbar}{2} \sqrt{\frac{N_A}{m_n^* \epsilon_{Si}}} = (F + U\bar{\omega}_{Bneff}) \frac{q\hbar}{2} \sqrt{\frac{N_A}{m_n^* \epsilon_{Si}}} \quad (3)$$

这里,  $\pi R^2$  是源极肖特基结与沟道的接触面积,  $2\pi R$  是环栅 MOSFET 沟道宽度,  $A_n^*$  是电子在硅中的有效里查逊常数, 这里取  $A_n^* = 6.2 \times 10^5 \text{ A/m}^2 \cdot \text{K}^2$ <sup>[10]</sup>,  $E_{00}$  是隧穿作用中起重要作用的材料常数,  $F$  和  $U$  是考虑  $\varphi_{Bneff}$  对隧穿的影响而引入的参数,  $n$  是电流理想因子一般大于 1.

来自漏端的空穴电流主要由能带间隧穿电流  $I_{BTBT-p}$  组成, 考虑漏端空穴有效肖特基势垒  $\varphi_{dBpeff}$  对  $I_{BTBT-p}$  的影响, 可表示为<sup>[3]</sup>

$$I_{ds-p} = V \exp(x\varphi_{dBpeff}) I_{BTBT-p} \quad (4)$$

$$I_{BTBT-p} = \frac{AqE_s \exp\left[\frac{-B(\varphi_{dBpeff})}{E_s}\right]}{2\pi R} \quad (5)$$

$$B(\varphi_{dBpeff}) = \frac{S\varphi_{dBpeff}}{q} + Y = \frac{S(E_g - \varphi_{dBneff})}{q} + Y \quad (6)$$

$$\bar{\omega}_{dBneff} = \bar{\omega}_{Bn} - \Delta\bar{\omega}_{ddBL} + \Delta\bar{\omega}_Q = \bar{\omega}_{Bn} - \left( \frac{3q\hbar (In2)}{4\sqrt{2m_n^*}} \right)^{2/3} |E_{mdl}| + \Delta\bar{\omega}_Q \quad (7)$$

$$E_s = \frac{-(V_{gs} - V_{ds}) - \frac{E_g}{q} + G}{3t_{ox}} \quad (8)$$

这里, 常数  $A = 4 \times 10^{16} \text{ V}^{-1} \text{ s}^{-1} \text{ m}$ ,  $E_s$  是漏栅极之间电场,  $B(\varphi_{dBpeff})$  是隧穿几率参数, 其依赖于  $\varphi_{dBpeff}$ ,  $\varphi_{dBneff}$  表示漏端电子有效肖特基势垒高度, 因漏极正偏,  $\varphi_{dBneff}$  可忽略镜像力势垒降低效应的影响,  $\Delta\varphi_{ddBL}$  是偶极子势垒降低效应导致的漏端  $\varphi_{Bn}$  降低, 模仿文献<sup>[8]</sup>思路,  $E_{mdl} = C_4 V_{ds} + C_5 V_{gs} + C_6$  为漏极肖特基结和沟道接触面的电场,  $C_4$ 、 $C_5$  和  $C_6$  是拟合该电场的参数,  $E_g$  是硅的禁带宽度,  $S$ 、 $Y$ 、 $G$ 、 $V$  和  $x$  是考虑  $\varphi_{dBpeff}$  对  $I_{BTBT-p}$  的影响而引

入的拟合参数.

最终总电流应为源端电子热发射/隧穿电流和漏端空穴隧穿电流之和

$$I_{ds} = I_{TETN-n} + I_{ds-p} \quad (9)$$

### 3 结果与讨论

通过 Mathematica9.0, 提取文献<sup>[11]</sup>中的实验数据对所建立的解析电流模型进行拟合, 选取实验数据曲线中的 57 个数据点求出模型中的 14 个拟合参数, 其余可变化的基本参数与文献<sup>[11]</sup>保持一致, 选取如下:

$$\varphi_{Bn} = 0.67 \text{ eV}, T = 300 \text{ K}, t_{ox} = 9 \text{ nm}, L = 90 \text{ nm}, R = 2.07 \text{ nm}, N_A = 1.93 \times 10^{18} / \text{cm}^3.$$

$V_{ds} = 0.05 \text{ V}$  时所得到的 14 个拟合参数分别为  $C1 = -1.66718 \times 10^7$ ,  $C2 = 1.77661 \times 10^6$ ,  $C3 = 2.48117 \times 10^4$ ,  $C4 = -1.66718 \times 10^7$ ,  $C5 = 1.77661 \times 10^6$ ,  $C6 = 2.48117 \times 10^4$ ,  $F = 97.3569$ ,  $U = 1.79643 \times 10^9$ ,  $n = 564.824$ ,  $G = 2.61987$ ,  $S = 2.71278 \times 10^7$ ,  $Y = 7.19363 \times 10^6$ ,  $V = 4.55727 \times 10^{-15}$ ,  $x = -1.97195 \times 10^8$ .

$V_{ds} = 1.2 \text{ V}$  时所得到的 14 个拟合参数分别为  $C1 = -8.95869 \times 10^8$ ,  $C2 = 1.37456 \times 10^9$ ,  $C3 = 9.00024 \times 10^8$ ,  $C4 = -3.46223 \times 10^8$ ,  $C5 = 2.57823 \times 10^5$ ,  $C6 = 9.67248 \times 10^5$ ,  $F = 198.57$ ,  $U = 7.89104 \times 10^{11}$ ,  $n = 432.676$ ,  $G = 2.04139$ ,  $S = 1.18051 \times 10^9$ ,  $Y = 4.60625 \times 10^8$ ,  $V = 1.04157 \times 10^{-12}$ ,  $x = -2.30466 \times 10^{11}$ .

图 3 和图 4 分别为  $V_{ds} = 0.05 \text{ V}$  和  $V_{ds} = 1.2 \text{ V}$  时器件的转移特性曲线, 从图中可知模型与实验数据总体符合较好, 尤其是高漏压下. 值得注意的是, 在高  $V_{ds}$  下, 反向  $V_{gs}$  下的电流远大于正向  $V_{gs}$  下的电流, 而当  $V_{ds}$  较低时情况刚好相反. 原因是在高  $V_{ds}$  和反向  $V_{gs}$  下, 沟道表面处于积累区, 能带向上弯曲, 电子无法从源端通过隧穿流入沟道, 只存在电子热发射电流和  $I_{ds-p}$ . 根据热发射方程, 电子热发射电流跟沟道和源端间的压降呈正指数关系, 跟  $\varphi_{Bneff}$  呈负指数关系. 随着  $V_{ds}$  增大, 这一压降会慢慢增大而趋于饱和<sup>[8]</sup>, 根据 (1) 式  $\varphi_{Bneff}$  与  $E_{ms}$  成反比, 精确的  $E_{ms}$  解析表示又与沟道和源端间的压降开平方根呈正比<sup>[1]</sup>, 所以综合以上分析电子热发射电流会随着  $V_{ds}$  增大而增大最后趋于一饱和值. 同时漏极和栅极之间的电场  $E_s$  很大, 实验数据中  $\varphi_{Bpeff}$  又较低, 产生了很可观的  $I_{ds-p}$ . 而在低  $V_{ds}$  和反向  $V_{gs}$  下, 不仅

电子热发射电流很小,而且  $E_s$  较小,相应的  $I_{ds,p}$  也很小,于是产生了上述现象。

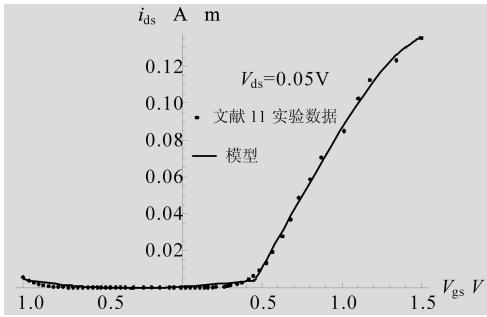


图 3 低漏压下转移特性曲线

Fig. 3 Transfer characteristic curve at low drain voltage

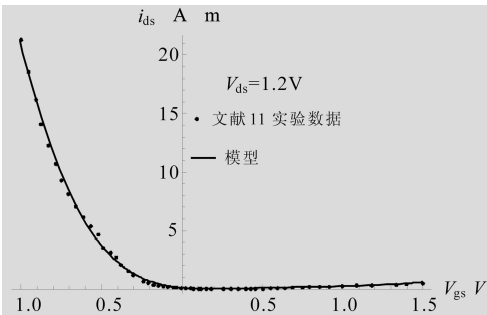


图 4 高漏压下转移特性曲线

Fig. 4 Transfer characteristic curve at high drain voltage

实际上  $\varphi_{Bp}$  低的金属硅化物不适合做 N 型肖特基势垒 MOSFET 的源漏材料,却适合做 P 型 MOSFET. 本文实验数据来源的文献采用了 NiSi 做源漏,相对于  $\varphi_{Bn}$ ,  $\varphi_{Bp} = E_g - \varphi_{Bn} = 0.45$  eV 很低,所以在高  $V_{ds}$  下导致反向  $V_{gs}$  下的电流远大于正向  $V_{gs}$  下的电流,表现得像 P 型常规重掺杂源漏 MOSFET 的转移特性. 为得到合适的 N 型肖特基势垒 MOSFET 性能,实际中只需换用  $\varphi_{Bn}$  较低的金属硅化物如  $ErSi_{1.7}$  ( $\varphi_{Bn} = 0.32$  eV) 做源漏即可。

## 4 结 论

本文建立了环栅肖特基势垒 MOSFET 较为全面的解析电流模型,将提出的解析电流模型与文献中报道的实验数据进行比较,模型与数据符合较好. 在高漏压下,器件反向栅压下电流远大于正向栅压下电流,在低漏压下则刚好相反,这一现象可通过模型中提出的反向栅压下电流机理来合理解释,验证了其正确性. 但缺点在于该电流模型拟合参数较多,依赖于外界偏置电压条件。

## 参考文献:

- [1] 许立军,张鹤鸣. 环栅肖特基势垒金属氧化物半导体场效应管漏致势垒降低效应研究[J]. 物理学报, 2013, 62(10): 108502.
- [2] Zhu G J, Xing Z, Lee T S, *et al.* A compact model for undoped silicon-nanowire MOSFETs with schottky-barrier source/drain[J]. IEEE Trans Electron Dev, 2009, 56(5): 1100.
- [3] Balaguer M, Iñiguez B, Roldán J B. An analytical compact model for schottky-barrier double gate MOSFETs[J]. Solid State Electron, 2011, 64: 78.
- [4] Elena P, Raul R, Maria J M. Current drive in n-type schottky barrier MOSFETs: a monte carlo study[C]. Proceedings of the 2009 Spanish Conference on Electron Devices Santiago de Compostela, 11-13 Feb. 2009.
- [5] Afzalian A, Flandre D. Computational study of dopant segregated nanoscale schottky barrier MOSFETs for steep slope, low SD-resistance and high on-current gate-modulated resonant tunneling FETs [J]. Solid State Electron, 2011, 65/66: 123.
- [6] Shih C H, Yeh S P. A dual workfunction gate for thin-gate-insulator schottky-barrier MOSFETs[J]. IEEE Trans Electron Dev, 2008, 55(9): 2521.
- [7] Shin M. Computational study on the performance of multiple-gate nanowire schottky-barrier MOSFETs [J]. IEEE Trans Electron Dev, 2008, 55(3): 741.
- [8] Lee S H, Yu Y S, Hwang S W, *et al.* A spice-compatible new silicon nanowire field-effect transistors (SNWFETs) model[J]. IEEE Trans Nanotechnol, 2009, 8(5): 645.
- [9] Li P C, Hu G X, Mei G H, *et al.* An analytic threshold voltage model for the double-gate schottky-barrier source/drain MOSFETs[C]. 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology. Shanghai: 2010.
- [10] Mike S, Thomas H, Alexander K. Performance study of a schottky barrier double-gate MOSFET using a two-dimensional analytical model[J]. IEEE Trans Electron Dev, 2013, 60(2): 885.
- [11] Tan E J, Pey K L, Singh N, *et al.* Nickel-silicided schottky junction CMOS transistors with gate-all-around nanowire channels[J]. IEEE Electron Dev Lett, 2008, 29(8): 902.