

doi: 10.3969/j.issn.0490-6756.2017.04.015

高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 漏致势垒降低效应研究

许立军¹, 张鹤鸣¹, 杨晋勇²

(1. 西安电子科技大学微电子学院宽禁带半导体材料与器件重点实验室, 西安 710071;

2. 北京精密机电控制设备研究所, 北京 100076)

摘要: 高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 结合了应变硅工程、高 k 栅介质、SOI 结构和肖特基源漏四者的优点, 是一种实现小尺寸 MOSFET 的潜力器件. 通过求解二维泊松方程建立了该结构的阈值电压模型, 模型中考虑了镜像力势垒和小尺寸量子化效应对源漏极的电子本征肖特基势垒高度的影响, 在阈值电压模型基础上获得了漏致势垒降低模型. 从文献中提取漏致势垒降低的实验数据与模型进行对比, 验证了其正确性, 随后在此基础上讨论分析了漏致势垒降低和各项参数的变化关系. 结果表明, 漏致势垒降低随应变硅层厚度的变厚、沟道掺杂浓度的提高和锗组分的增大而增大, 随沟道长度的变长、栅介质介电常数的增大、电子本征肖特基势垒高度的提高和漏源电压的增大而减小. 适当调节模型参数, 该结构可很好的抑制漏致势垒降低效应, 对高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 器件以及电路设计具有一定的参考价值.

关键词: MOSFET; 漏致势垒降低; 应变硅; 高 k 栅介质; SOI; 肖特基

中图分类号: TN 432.1 **文献标识码:** A **文章编号:** 0490-6756(2017)04-0753-06

The research of drain induced barrier lower effect for SOI strained silicon schottky source/drain MOSFET with high-k gate dielectric

XU Li-Jun¹, ZHANG He-Ming¹, YANG Jin-Yong²

(1. Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices,

School of Microelectronics, Xidian University, Xi'an 710071, China;

2. Beijing Research Institute of Precise Mechatronic Controls, Beijing 100076, China)

Abstract: The SOI strained silicon schottky source/drain MOSFET with high-k gate dielectric is a potential device realizing small size MOSFET, which combines the advantages of strained silicon engineering, high-k gate dielectric, SOI structure and schottky source/drain. A model for the structure is proposed by solving two dimensional Poisson's equation, which takes into account for the impact on the source/drain schottky barrier height for electron of image force barrier and size quantization effect, then the drain induced barrier lower model is investigated based on the threshold voltage model. The experiment data of drain induced barrier lower extracted from literature is compared with the model, which verifies its correctness, and discuss the variety relationship between drain induced barrier lower and several parameters. The result shows that drain induced barrier lower increases with strained silicon thickness,

收稿日期: 2016-06-18

基金项目: 教育部博士点基金(JY0300122503); 中央高校基本业务课题(K5051225014, K5051225004)

作者简介: 许立军(1983-), 男, 浙江杭州人, 博士研究生, 研究方向为新型高速半导体器件. E-mail: 61383150@qq.com

channel doping and germanium fraction increasing, decreases with channel length, gate dielectric constant, intrinsic schottky barrier height for electron and drain source voltage increasing. The device can suppress drain induced barrier lower effect greatly through adjusting the model parameters properly, which can provide some reference for the design of SOI strained silicon schottky source/drain MOSFET with high-k gate dielectric device and circuit.

Keywords: MOSFET; Drain induced barrier lower; Strained silicon; High-k gate dielectric; SOI; Schottky

1 引言

随着 MOSFET 器件尺寸越来越小,短沟道效应、漏致势垒降低(Drain Induced Barrier Lower, DIBL)效应等已成为 MOSFET 尺寸继续微缩的严重限制因素^[1,2]. 为应对这一困境,必须采用新结构和新材料工艺来改善. 应变硅技术能使体硅材料中载流子迁移率得到显著提高,良好的兼容于常规工艺,目前已获得广泛应用^[3];同时随着尺寸缩小,栅氧层厚度也要按比例相应减小,太薄的栅氧层厚度会产生直接隧穿等问题. 选取较高介电常数材料来代替二氧化硅,可以提高栅氧层的有效物理厚度,很大程度抑制直接隧穿电流^[4];此外,SOI 结构克服了传统 MOSFET 的缺点,使寄生电容减小、载流子迁移率增大、电流驱动能力提高和短沟道效应减弱^[5];采用肖特基势垒做源漏结构也是实现小尺寸 MOSFET 的一种有效方法. 肖特基源漏的优点是原子级尺寸突变源漏结深可抑制短沟道效应、较低的串联电阻和完全避免闭锁效应,以及兼容性好,能与应变硅技术、高 k 栅介质和 SOI 结构等相结合^[5-9]. 因此,高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 可结合应变硅工程、高 k 栅介质、SOI 结构和肖特基源漏四者的优点,是一个很有潜力值得研究的器件结构.

DIBL 是小尺寸 MOSFET 的重要物理效应,表现在短沟道下漏源电压影响沟道电势,引起源极势垒降低而导致阈值电压降低,从而影响器件的电流特性,已成为 MOSFET 应用中的一个重要物理限制. 根据物理定义,研究 DIBL 效应必须先得到阈值电压关于漏源电压的模型.

目前对肖特基源漏 MOSFET 的 DIBL 效应研究极少. 本文通过对高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 结构求解二维泊松方程先建立了该结构的阈值电压模型,模型考虑了镜像力势垒^[10]和小尺寸量子化效应^[11,12]对源漏极的电子本征肖特基势垒高度的影响,然后获得 DIBL 模型.

结果与讨论部分先将建立的 DIBL 模型与文献中提取的实验数据对比,验证了其正确性,再讨论分析了 DIBL 和各项参数的变化关系和物理机理,结果表明该结构器件对 DIBL 效应有很好的抑制作用.

2 阈值电压和 DIBL 模型建立

图 1 给出了高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 的结构示意图,考虑到器件特性受到漏源电压作用,缓变沟道近似不再成立,纵向的一维模型已不能精确描述,于是本文首先建立该结构器件的二维阈值电压模型. 假设沟道均匀掺杂,在低于阈值电压时,应变硅沟道中电势分布的泊松方程可表示为

$$\frac{\partial^2 \varphi(x, y)}{\partial x^2} + \frac{\partial^2 \varphi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{Si}}, \quad 0 \leq x \leq L, 0 \leq y \leq t_{s-Si} \quad (1)$$

其中, $\varphi(x, y)$ 是沟道二维电势分布; q 是电子电量; N_A 是沟道掺杂浓度; ϵ_{Si} 是应变硅介电常数; t_{s-Si} 是应变硅层厚度; L 为沟道长度. Y 方向上的电势可用抛物线函数描述.

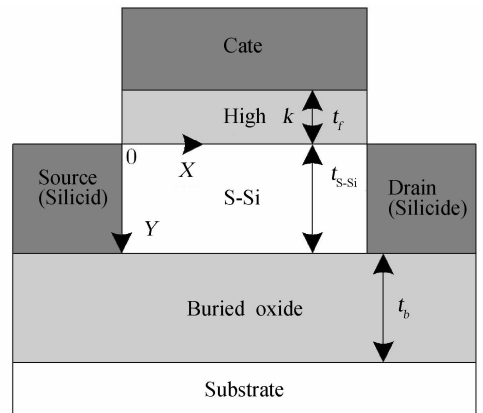


图 1 高 k 栅介质 SOI 应变硅肖特基源漏 MOSFET 结构示意图

Fig. 1 The structure schematic diagrams of SOI strained silicon schottky source/drain MOSFET with high-k gate dielectric

$$\varphi(x, y) = c_0(x) + c_1(x)y + c_2(x)y^2 \quad (2)$$

其中, $c_0(x), c_1(x), c_2(x)$ 是仅跟 x 有关的函数。

求解方程(1), 边界条件如下。

(1) $\varphi(x, 0) = c_0(x)$, 其中 $\varphi(x, 0)$ 为沟道表面势。

(2) 应变硅层和栅介质层界面处的电通量连续, 即

$$\left. \frac{\partial \varphi(x, y)}{\partial y} \right|_{y=0} = \frac{\epsilon_f \varphi(x, 0) - V'_{gs}}{\epsilon_{Si} t_f} \quad (3)$$

式(3)中, ϵ_f 是栅介质介电常数; t_f 是栅介质层厚度; 考虑到应变作用^[13], $V'_{gs} = V_{gs} - (V_{FB,f})_{s-Si}$; V_{gs} 是栅源电压。

$$(V_{FB,f})_{s-Si} = (V_{FB,f})_{Si} + \Delta V_{FB,f}$$

$$(V_{FB,f})_{Si} = \varphi_M - \varphi_{Si} =$$

$$\varphi_M - \chi_{Si} - \frac{E_{g, Si}}{2q} - \frac{kT}{q} \ln\left(\frac{N_A}{n_{i, Si}}\right)$$

$$\Delta V_{FB,f} = \frac{(\Delta E_g)_{s-Si} - (\Delta E_C)_{s-Si}}{q} -$$

$$\frac{kT}{q} \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right) = 0.4x - 0.57x - 0.075x$$

其中, x 是锗组分, 代表应变硅沟道的应变程度; φ_M 是栅极材料的功函数。

(3) 应变硅层和埋氧层界面处的电通量连续, 即

$$\left. \frac{\partial \varphi(x, y)}{\partial y} \right|_{y=t_{s-Si}} = \frac{\epsilon_{ar} V'_{SUB} - \varphi(x, t_{s-Si})}{\epsilon_{Si} t_b} \quad (4)$$

式(4)中, ϵ_{ar} 是埋氧层二氧化硅的介电常数; t_b 是埋氧层厚度; $V'_{SUB} = V_{SUB} - (V_{FB,b})_{s-Si}$; V_{SUB} 是衬底电压。

$$(V_{FB,b})_{s-Si} = (V_{FB,b})_{Si} + \Delta V_{FB,b}$$

$$(V_{FB,b})_{Si} = \chi_{Si} + \frac{E_{g, Si}}{2q} + \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_{i, Si}}\right) - \varphi_{Si},$$

$$\Delta V_{FB,b} = \frac{(\Delta E_g)_{s-Si} - (\Delta E_C)_{s-Si}}{q} -$$

$$\frac{kT}{q} \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right) = 0.4x - 0.57x - 0.075x$$

通过边界条件(1)~(3)分别求得 $c_0(x) =$

$$\varphi(x, 0), c_1(x) = \frac{\epsilon_f \varphi(x, 0) - V'_{gs}}{\epsilon_{Si} t_f}, c_2(x) =$$

$$\frac{\epsilon_{ar} [V'_{SUB} - \varphi(x, 0) - c_1(x)t_{s-Si}] - \epsilon_{Si} t_b c_1(x)}{t_{s-Si} (2\epsilon_{Si} t_b + \epsilon_{ar} t_{s-Si})},$$
 将其代入到式(1)可得

$$\frac{\partial^2 \varphi(x, 0)}{\partial x^2} - \alpha^2 \varphi(x, 0) = \beta \quad (5)$$

$$\text{式(5)中, } \alpha^2 = \frac{2(C_b C_{s-Si} + C_f C_{s-Si} + C_b C_f)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)},$$

$$\beta = \frac{qN_A}{\epsilon_{Si}} - 2V'_{gs} \frac{C_f (C_{s-Si} + C_b)}{t_{s-Si}^2 C_{s-Si} (2C_{s-Si} + C_b)} - 2V'_{SUB} \frac{C_b}{t_{s-Si}^2 (2C_{s-Si} + C_b)}$$

其中, $C_{s-Si} = \epsilon_{Si} / t_{s-Si}$, $C_f = \epsilon_f / t_f$, $C_b = \epsilon_{ar} / t_b$ 。

式(5)为二阶常微分方程, 其解的形式如下:

$$\varphi(x, 0) = A \exp(\alpha x) + B \exp(-\alpha x) - \frac{\beta}{\alpha} \quad (6)$$

源漏区电势的边界条件^[14]分别为

$$\varphi(0, 0) = V_{bi, s}, \varphi(L, 0) = V_{bi, d} + V_{ds}$$

其中, V_{ds} 是漏源电压, 考虑到应变作用, 有

$$V_{bi, s \langle d \rangle} = -\varphi_{MS, s \langle d \rangle} =$$

$$\chi_{Si} + \frac{E_{g, Si}}{2q} + \varphi_{F, Si} - \varphi_{M, s \langle d \rangle} + \Delta V_{bi, s \langle d \rangle} =$$

$$-\varphi_{Bs \langle d \rangle \text{ eff}} + \frac{E_{g, Si}}{2q} + \varphi_{F, Si} +$$

$$\frac{(\Delta E_C)_{s-Si} - (\Delta E_g)_{s-Si}}{q} + \frac{kT}{q} \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right)$$

$$\varphi_{Bseff} = \varphi_{iBn} - \Delta\varphi_{siBL} + \Delta\varphi_Q =$$

$$\varphi_{iBn} - \sqrt{\frac{q|E_{ms}|}{4\pi\epsilon_{Si}}} + \Delta\varphi_Q =$$

$$\varphi_{iBn} - \sqrt{\frac{q \left| -\frac{\partial \varphi(x, 0)}{\partial x} \right|_{x=0}}{4\pi\epsilon_{Si}}} +$$

$$\frac{\pi^2 \hbar^2}{2qm_n^* t_{s-Si}^2}, \varphi_{Bseff} = \varphi_{iBn} + \frac{\pi^2 \hbar^2}{2qm_n^* t_{s-Si}^2}$$

其中, $\varphi_{Bs \langle d \rangle \text{ eff}}$ 是源(漏)极电子有效肖特基势垒高度; φ_{iBn} 是电子本征肖特基势垒高度; $\Delta\varphi_{siBL}$ 是考虑镜像力势垒导致的源极电子本征肖特基势垒高度降低^[10]。本文为 NMOSFET, 对肖特基结来说源极反偏, 漏极正偏, 故漏极可忽略镜像力势垒, E_{ms} 是源极和沟道界面处的电场, 可对 $\varphi(x)$ 做负微分得到。 $\Delta\varphi_Q$ 是因小尺寸量子化效应导致的电子本征肖特基势垒高度提高^[11,12]; \hbar 是约化普朗克常数, m_n^* 是电子有效质量。

通过边界条件可以解得式(6)中的 A 和 B 分别为

$$A = \eta \frac{(V_{bi, d} + \zeta + V_{ds}) - \eta(V_{bi, s} + \zeta)}{1 - \eta^2},$$

$$B = \frac{(V_{bi, s} + \zeta) - (V_{bi, d} + \zeta + V_{ds})}{1 - \eta^2}$$

其中, $\eta = \exp(-\alpha L)$, $\zeta = \frac{\beta}{\alpha}$ 。

对式(6)做微分并令其为零, 可得到沟道最小表面势, 即

$$\varphi_{S, \min} = 2\sqrt{AB} - \zeta \quad (7)$$

满足 $\varphi_{S,\min} = \varphi_{B\text{seff}}$ 时的 V_{gs} 即为肖特基源漏 MOSFET 的阈值电压 V_{th} [15], 此为复杂的非线性方程, 无法求得解析解, 采用数学软件 Mathematica 9.0 可求得数值解.

根据 DIBL 物理定义, DIBL 可定量表示为 $\Delta V_{th} / \Delta V_{ds}$, $\Delta V_{th} = V_{th} |_{V_{ds}=0.05V} - V_{th} |_{V_{ds}=2V}$ [3], 为图示方便, 这里单位取为 mV/V.

3 结果与讨论

对上面得到的 DIBL 模型, 从文献[16, 17]中提取实验数据进行对比验证, 保持与文献中参数设置一致, 栅电极采用 $q\varphi_M = 4.77$ eV 的材料, $N_{sub} = 1 \times 10^{13} \text{ cm}^{-3}$, $V_{SUB} = 0$ V, 其他各项参数详见图 2. 从图 2 对比结果图可见, 模型与实验数据略有偏差, 以实验数据为基准, 图 2(a) 平均误差为 5.23%, 图 2(b) 为 5.88%, 大致吻合, 从而一定程度验证了模型的正确性.

接下来再对 DIBL 与各参数关系进行分析讨论, 栅电极仍采用 $q\varphi_M = 4.77$ eV 的材料, $N_{sub} = 1 \times 10^{13} \text{ cm}^{-3}$, $V_{SUB} = 0$ V, $t_f = 2$ nm, $t_b = 50$ nm, 图中标题下括号如无特殊说明, 参数默认取上述.

图 3 给出的是不同栅介质介电常数下, DIBL 与沟道长度的关系. 从图 3 可以看出, 较大的栅介质介电常数会使得 DIBL 随沟道长度变短发生的变化相对稳定, 而且 DIBL 数量级明显更小. 因为较大的栅介质介电常数会使器件拥有更强的栅控能力, 从而一定程度抑制短沟道效应和 DIBL 效应.

图 4 给出不同栅介质介电常数下, DIBL 与应变硅层厚度的关系. 从图 4 可以看出, 较大的栅介质介电常数使 DIBL 随应变硅层厚度变薄而变化很平缓, 较薄的应变硅层厚度可得到近乎理想的 DIBL. 因为应变硅层厚度越薄, 沟道耗尽层厚度越薄, 落在耗尽层的压降也就越小, 而耗尽层压降是阈值电压的重要组成部分, 于是阈值电压就越小, 根据 DIBL 定义, 同样的漏源电压变化量下, 阈值电压变化量越小, DIBL 越小.

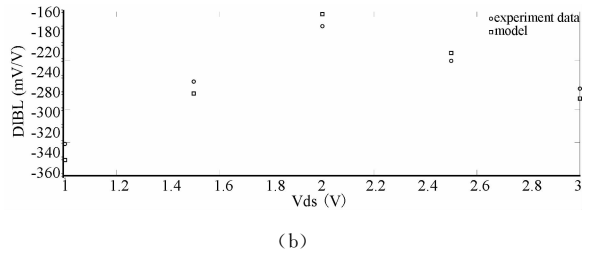
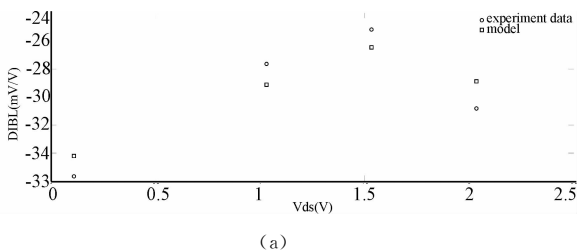


图 2 DIBL 与漏源电压关系的实验数据与模型对比图

Fig. 2 The comparison chart of experimental data and model between DIBL and the drain-source voltage

(a) ($x = 0$; $\varphi_{iBn} = 0.64$ V, $N_A = 1.5625 \times 10^{18} \text{ cm}^{-3}$, $t_{s-Si} = 32$ nm, $L = 200$ nm, $t_f = 4.5$ nm, $t_b = 115$ nm)

(b) ($x = 0$; $\varphi_{iBn} = 0.64$ V, $N_A = 2.083 \times 10^{20} \text{ cm}^{-3}$, $t_{s-Si} = 24$ nm, $L = 50$ nm, $t_f = 6$ nm, $t_b = 150$ nm)

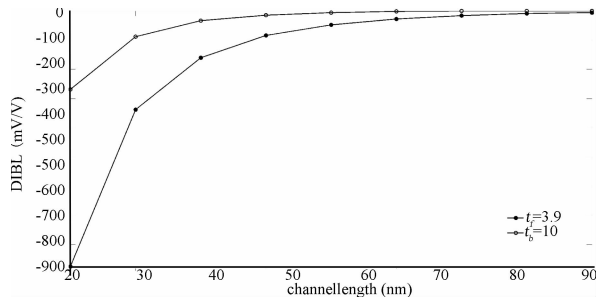


图 3 DIBL 与沟道长度关系示意图

($x = 0.2$, $\varphi_{iBn} = 0.3$ V, $N_A = 5 \times 10^{18} \text{ cm}^{-3}$, $t_{s-Si} = 20$ nm)

Fig. 3 The relationship diagram between DIBL and the channel length

图 5 给出 DIBL 与栅介质介电常数的关系, 从图 5 可以看出, 较大的栅介质介电常数可使 DIBL 趋近于零. 原因同图 3 的解释.

图 6 给出不同锗组分下, DIBL 与沟道掺杂浓度的关系. 从图 6 可以看出, DIBL 随沟道掺杂浓度提高而增大. 因为更高的沟道掺杂浓度下, 电离受主的影响使得沟道内反型载流子(电子)面密度减小, 需要更高的栅源电压来达到阈值, 阈值电压也就越大, 同样漏源电压变化量下造成的阈值电压变化量就越大, 导致 DIBL 越大.

图 7 给出不同锗组分下, DIBL 与电子本征肖特基势垒高度的关系. 从图 7 可以看出, DIBL 随电子本征肖特基势垒高度的提高而减小, 这与其他研究报道得到的结论一致 [18]. 因为隧穿电流是肖特基源漏 MOSFET 的主要电流机理, 电子本征肖特基势垒高度越高, 源极电子隧穿进入沟道形成电流的机率越小, 阈值电压也越大, 同样漏源电压变化量下造成的阈值电压变化量越小, 导致 DIBL 越小.

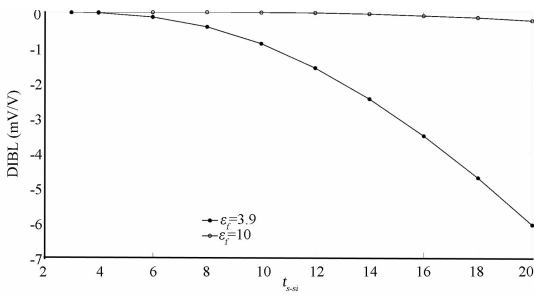


图4 DIBL与应变硅层厚度关系示意图

($x=0.2$, $\varphi_{iBn}=0.3\text{ V}$, $N_A=5\times 10^{18}\text{ cm}^{-3}$, $L=100\text{ nm}$)

Fig. 4 The relationship diagram between DIBL and the thickness of strained silicon layer

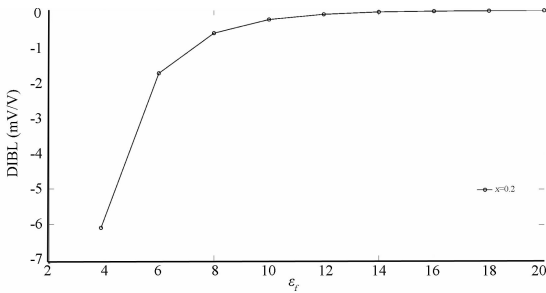


图5 DIBL与栅介质介电常数关系示意图

($\varphi_{iBn}=0.3\text{ V}$, $N_A=5\times 10^{18}\text{ cm}^{-3}$, $L=100\text{ nm}$, $t_{s-si}=20\text{ nm}$)

Fig. 5 The relationship diagram between DIBL and the gate dielectric constant

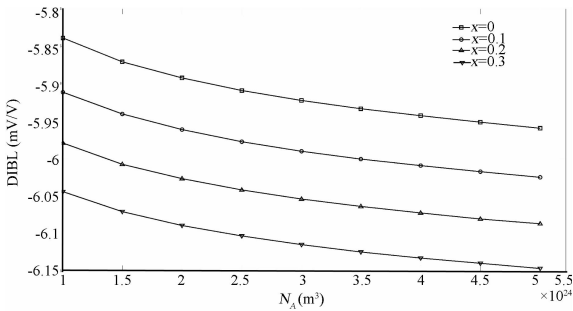


图6 DIBL与沟道掺杂浓度关系示意图

($L=100\text{ nm}$, $t_{s-si}=20\text{ nm}$, $\epsilon_f=3.9$)

Fig. 6 The relationship diagram between DIBL and the channel doping concentration

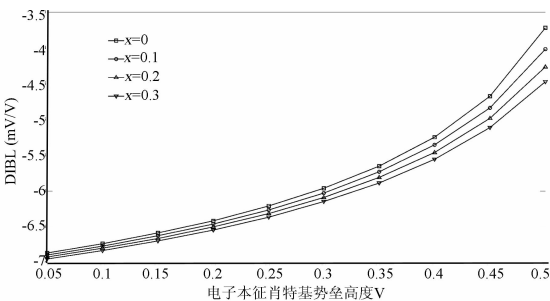


图7 DIBL与电子本征肖特基势垒高度关系示意图

($N_A=5\times 10^{18}\text{ cm}^{-3}$, $L=100\text{ nm}$, $t_{s-si}=20\text{ nm}$, $\epsilon_f=3.9$)

Fig. 7 The relationship diagram between DIBL and the intrinsic Schottky barrier height of electron

图8给出不同锆组分下,DIBL与漏源电压的关系.从图8可以看出,DIBL随漏源电压增大而减小.因为漏源电压是造成DIBL效应的最主要因素,漏源电压越大,阈值电压就越小,同样漏源电压变化量下造成的阈值电压变化量越小,导致DIBL越小.

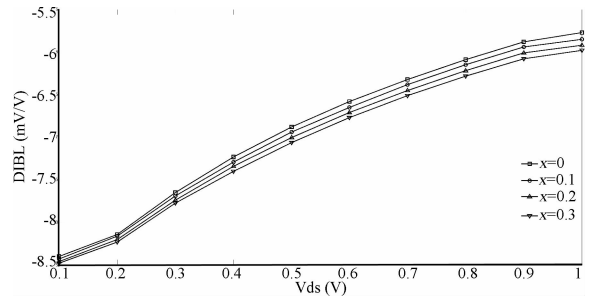


图8 DIBL与漏源电压关系示意图

($\varphi_{iBn}=0.3\text{ V}$, $N_A=5\times 10^{18}\text{ cm}^{-3}$, $L=100\text{ nm}$, $t_{s-si}=20\text{ nm}$, $\epsilon_f=3.9$)

Fig. 8 The relationship diagram between DIBL and the drain-source voltage

4 结论

高k栅介质SOI应变硅肖特基源漏MOSFET具备应变硅工程、高k栅介质、SOI结构和肖特基源漏四者的优点,是一种实现MOSFET尺寸微缩的潜力器件.先通过求解二维泊松方程建立了其阈值电压模型,再在此基础上获得了DIBL模型.模型中考虑了影响该模型的主要参数,包括沟道长度、应变硅层厚度、锆组分、栅介质介电常数、沟道掺杂浓度、电子本征肖特基势垒高度和漏源电压,分析了DIBL随上述参数的变化关系和物理机理.综上所述,在短沟道下,采用较大的栅介质介电常数和较高的电子本征肖特基势垒高度,较薄的应变硅层厚度、较小的锆组分和较高的沟道掺杂浓度,可以很好的抑制DIBL效应.

参考文献:

- [1] 许立军,张鹤鸣.环栅肖特基势垒金属氧化物半导体场效应管漏致势垒降低效应研究[J].物理学报,2013,62:108502.
- [2] Smaani B, Latreche S, Iniguez B. Compact drain-current model for undoped cylindrical surrounding-gate metal-oxide-semiconductor field effect transistors including short channel effects[J]. J Appl Phys, 2013, 114: 224507.
- [3] 马小龙.16-14nm体硅FinFET参数优化与10nm以下高级多栅器件研究[D].北京:中国科学院微电

- 子研究所, 2015.
- [4] Sinha S K, Chaudhury S. Impact of oxide thickness on gate capacitance—a comprehensive analysis on MOSFET, nanowire FET, and CNTFET devices [J]. *IEEE Trans Electron Dev*, 2013, 12: 958.
- [5] Maria J, Martinez M, Couso C, *et al.* Monte carlo study of dopant-segregated schottky barrier SoI MOSFETs: enhancement of the RF performance [J]. *IEEE Trans Electron Dev*, 2014, 61: 3955.
- [6] Lee J, Shin M. Performance assessment of III-V channel ultra-thin-body schottky-barrier MOSFETs [J]. *IEEE Electron Dev Lett*, 2014, 35: 726.
- [7] Calahorra Y, Yalon E, Ritter D. On the diameter dependence of metal-nanowire Schottky barrier height [J]. *Appl Phys Lett*, 2015, 117: 034803.
- [8] Jung H E, Shin M. Surface roughness scattering effects on the ballisticity of Schottky barrier nanowire field effect transistors[J]. *Appl Phys Lett*, 2015, 118: 195703.
- [9] Purches W E, Rossi A, Zhao R, *et al.* A planar Al-Si Schottky barrier metal-oxide-semiconductor field effect transistor operated at cryogenic temperatures [J]. *Appl Phys Lett*, 2015, 107: 063503.
- [10] Padilla J L, Knoll L, Gámiz F, *et al.* Simulation of fabricated 20-nm schottky barrier MOSFETs on SOI; impact of barrier lowering [J]. *IEEE Trans Electron Dev*, 2012, 59: 1321.
- [11] Li P C, Hu G X, Mei G H, *et al.* An analytic threshold voltage model for the double-gate schottky-barrier source/drain MOSFETs[C]//Proceedings of 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology. Shanghai: IEEE, 2010.
- [12] Shin M. Computational study on the performance of multiple-gate nanowire schottky-barrier MOSFETs [J]. *IEEE Trans Electron Dev*, 2008, 55: 737.
- [13] 周林. Si 基应变材料能带结构研究[D]. 西安: 西安电子科技大学, 2007.
- [14] Zhu G, Zhou X, Lee T S, *et al.* A compact model for undoped silicon-nanowire MOSFETs with schottky-barrier source/drain[J]. *IEEE Trans Electron Dev*, 2009, 56: 1101.
- [15] Xu B J, Du G, Xia Z L, *et al.* Threshold voltage model of a double-gate MOSFET with schottky source and drain [J]. *Chin J Semicond*, 2007, 28: 1181.
- [16] Ichimori T, Hirashita N. Fully-depleted SOI CMOSFETs with the fully-silicided source/drain structure [J]. *IEEE Trans Electron Dev*, 2002, 49: 2298.
- [17] Zhao Q T, Kluth P, Bay H L, *et al.* Nanopatterning of epitaxial CoSi₂ using oxidation in a local stress field and fabrication of nanometer metal-oxide-semiconductor field-effect transistors [J]. *Appl Phys Lett*, 2004, 96: 5778.
- [18] Schwarz M, Holtij T, Kloes A, *et al.* Performance study of a schottky barrier double-gate MOSFET using a two-dimensional analytical model[J]. *IEEE Trans Electron Dev*, 2013, 60: 886.